

特許協力条約に基づく国際出願願書

紙面による写し(注意:電子データが原本となります)

0	受理官庁記入欄	
0-1	国際出願番号	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、	
0-4-1	右記によって作成された。	JPO-PAS 0321
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	380400671W01
I	発明の名称	カードデバイス
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除く全ての指定国 (all designated States except US)
II-4ja	名称	株式会社ルネサステクノロジ
II-4en	Name:	RENESAS TECHNOLOGY CORP.
II-5ja	あて名	1006334 日本国
II-5en	Address:	東京都千代田区丸の内二丁目4番1号 4-1, Marunouchi 2-chome, Chiyoda-ku, Tokyo 1006334 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP

特許協力条約に基づく国際出願願書

紙面による写し (注意: 電子データが原本となります)

III-1	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 大館 英史 ODATE, Hidefumi 1006334 日本国 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 c/o RENESAS TECHNOLOGY CORP. 4-1, Marunouchi 2-chome, Chiyoda-ku, Tokyo 1006334 Japan 日本国 JP 日本国 JP
III-1-1	この欄に記載した者は	
III-1-2	右の指定国についての出願人である。	
III-1-4ja	氏名(姓名)	
III-1-4en	Name (LAST, First):	
III-1-5ja	あて名	
III-1-5en	Address:	
III-1-6	国籍(国名)	日本国 JP
III-1-7	住所(国名)	日本国 JP
III-2	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor) 米国のみ (US only) 四方 淳史 SHIKATA, Atsushi 1006334 日本国 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 c/o RENESAS TECHNOLOGY CORP. 4-1, Marunouchi 2-chome, Chiyoda-ku, Tokyo 1006334 Japan 日本国 JP 日本国 JP
III-2-1	この欄に記載した者は	
III-2-2	右の指定国についての出願人である。	
III-2-4ja	氏名(姓名)	
III-2-4en	Name (LAST, First):	
III-2-5ja	あて名	
III-2-5en	Address:	
III-2-6	国籍(国名)	日本国 JP
III-2-7	住所(国名)	日本国 JP

特許協力条約に基づく国際出願願書

紙面による写し(注意:電子データが原本となります)

III-3	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-3-1	右の指定国についての出願人である。	米国のみ (US only)
III-3-4ja	氏名(姓名)	熊原 千明
III-3-4en	Name (LAST, First):	KUMAHARA, Chiaki
III-3-5ja	あて名	1006334 日本国 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
III-3-5en	Address:	c/o RENESAS TECHNOLOGY CORP. 4-1, Marunouchi 2-chome, Chiyoda-ku, Tokyo 1006334 Japan
III-3-6	国籍(国名)	日本国 JP
III-3-7	住所(国名)	日本国 JP
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく 出願人のために行動する。	代理人 (agent)
IV-1-1ja	氏名(姓名)	玉村 静世
IV-1-1en	Name (LAST, First):	TAMAMURA, Shizuyo
IV-1-2ja	あて名	1010052 日本国 東京都千代田区神田小川町2丁目10番地 新山城ビル42号
IV-1-2en	Address:	Room42, Shin Yamashiro Building, 10, Kanda Ogawamachi 2-chome, Chiyoda-ku, Tokyo 1010052 Japan
IV-1-3	電話番号	0352173960
IV-1-4	ファクシミリ番号	0352173970
IV-1-5	電子メール	tmmrhost@tcn-catv.ne.jp
IV-1-6	代理人登録番号	100089071
V	国の指定	
V-1	この願書を用いてされた国際出願は、規則 4.9(a)に基づき、国際出願の時点で拘束さ れる全てのPCT締約国を指定し、取得しうる あらゆる種類の保護を求め、及び該当する 場合には広域と国内特許の両方を求める 国際出願となる。	
VI-1	優先権主張	なし (NONE)
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)

特許協力条約に基づく国際出願願書

紙面による写し(注意:電子データが原本となります)

VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	-	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	-	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	-	
VIII-4	発明者である旨の申立て(米国を指定国とする場合)	-	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	-	
IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書(申立てを含む)	4	✓
IX-2	明細書	11	✓
IX-3	請求の範囲	2	✓
IX-4	要約	1	✓
IX-5	図面	4	✓
IX-7	合計	22	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	-	✓
IX-17	PCT-SAFE 電子出願	-	-
IX-19	要約書とともに提示する図の番号	1	
IX-20	国際出願の使用言語名	日本語	
X-1	出願人、代理人又は代表者の記名押印	/100089071/	
X-1-1	氏名(姓名)	玉村 静世	
X-1-2	署名者の氏名		
X-1-3	権限		

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日(訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

PCT手数料計算用紙(願書付属書)

紙面による写し(注意:電子データが原本となります)
 [この用紙は、国際出願の一部を構成せず、国際出願の用紙の枚数に算入しない]

0	受理官庁記入欄			
0-1	国際出願番号			
0-2	受理官庁の日付印			
0-4	様式-PCT/RO/101(付属書)			
0-4-1	このPCT手数料計算用紙は、 右記によって作成された。	JPO-PAS 0321		
0-9	出願人又は代理人の書類記号	380400671W01		
2	出願人	株式会社ルネサステクノロジ		
12	所定の手数料の計算	金額/係数	小計(JPY)	
12-1	送付手数料 T	⇒	13000	
12-2	調査手数料 S	⇒	97000	
12-3	国際出願手数料 (最初の30枚まで) i1	123200		
12-4	30枚を越える用紙の枚数	0		
12-5	用紙1枚の手数料 (X)	0		
12-6	合計の手数料 i2	0		
12-7	i1 + i2 = i	123200		
12-12	fully electronic filing fee reduction R	-26400		
12-13	国際出願手数料の合計 (i-R) I	⇒	96800	
12-17	納付するべき手数料の合計 (T+S+I+P)	⇒	206800	
12-19	支払方法	送付手数料: 予納口座引き落としの承認 調査手数料: 予納口座引き落としの承認 国際出願手数料: 銀行口座への振込み		
12-20	予納口座 受理官庁	日本国特許庁 (RO/JP)		
12-20-1	上記手数料合計額の請求に対する承認	✓		
12-21	予納口座番号	011040		
12-22	日付	2004年 12月 21日 (21. 12. 2004)		
12-23	記名押印			

IAP20 Rec'd PCT/PTO 20 DEC 2005

明 細 書

カードデバイス

技術分野

- [0001] 本発明はメモリカード、ICカード、又はICカード機能とメモリカード機能に代表されるマルチファンクションを有するマルチファンクションカード等のカードデバイスに適用して有効な技術に関する。

背景技術

- [0002] 特許文献1、2には外部電源としてデュアルボルテージに対応したICカードやメモリカードについて記載がある。これらには、外部から3.3V又は5Vのどちらかの電圧が供給された際に5Vであればレギュレータで3.3Vに降圧し、3.3Vであればそのまま内部回路に供給することが記載される。
- [0003] 特許文献1:特開平6-333103号公報
特許文献2:特開平9-231339号公報

発明の開示

発明が解決しようとする課題

- [0004] 本発明者はカードデバイスの低消費電力化について検討した。カードデバイスのカードコントローラがホストからのコマンド処理を行っていない時に、カードコントローラのマイクロコンピュータをスリープ状態にすることでスタンバイモード(低消費電力モード)時の低消費電力を図ることができる。しかしながら、カードデバイスのスタンバイモード時にマイクロコンピュータはスリープ状態となるが、カードコントローラ内部のレギュレータは絶えず動作しているためその分電力を消費する。シリーズレギュレータの消費電力はスタンバイ状態における消費電力の多くを占めているために、シリーズレギュレータが絶えず動作していることは低消費電力化の妨げとなることが本発明者によって見出された。
- [0005] 本発明の代表的な一つの目的は、カードデバイスの低消費電力状態における消費電力を小さくすることにある。
- [0006] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面

から明らかになるであろう。

課題を解決するための手段

- [0007] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。
- [0008] [1]カードデバイスは、レギュレータ、第1の内部回路及び第2の内部回路を有し、前記レギュレータは前記外部電圧が高電圧であるときこれを降圧して生成した内部電圧を前記第2の内部回路に供給し、前記外部電圧が低電圧であるときは前記外部電圧をそのまま内部電圧として前記第2の内部回路に供給し、第1の内部回路には外部電圧が動作電源として供給され、一定期間コマンド入力がない場合には低消費電力状態に遷移する。カードデバイスは、前記低消費電力状態に遷移するとき、前記レギュレータの動作を停止すると共に、前記第2の内部回路に対する内部電圧の供給を抑止する。
- [0009] 従って、低消費電力状態においてカードデバイスのレギュレータと第2の内部回路における電力消費を抑制することができる。
- [0010] 本発明の代表的な一つの具体的な形態として、低消費電力状態から動作状態に復帰するとき前記第1の内部回路は前記レギュレータの動作を再開させて前記第2の内部回路に対する内部電圧の供給を可能にする。少なくともこの範囲で第1の内部回路は動作すればよいから、これによる電力消費は極めて少ない。また、第1の内部回路は前記高電圧の外部電圧に対しても耐圧を備えることが必要であるから、通常その論理規模は小さくされると予想され、この点においても第1の内部回路の電力消費は少ない。
- [0011] 本発明の代表的な別の一つの具体的な形態として、前記レギュレータは、外部電圧が高電圧であるか否かを判定する電圧検出回路と、前記外部電圧を降圧するとき利用する基準電圧を生成する基準電圧生成回路とを有し、前記低消費電力状態に遷移する際の前記レギュレータの動作停止は、前記電圧検出回路と基準電圧生成回路の動作停止とされる。
- [0012] 本発明の代表的な別の一つの具体的な形態として、前記第2の内部回路はマイクロコンピュータを有し、前記低消費電力状態への遷移は前記マイクロコンピュータの

スリープ状態への遷移をトリガとする。

[0013] 低消費電力状態において前記第1の内部回路はコマンド入力に応答して前記レギュレータを動作させて前記第2の内部回路への内部電圧の供給を再開させる。前記マイクロコンピュータはスリープ状態において動作電源の供給を検出することによりパワーオンリセット処理を行なう。

[0014] 前記第1の内部回路は退避用記憶領域を有し、前記マイクロコンピュータはスリープ状態に遷移するとき内部状態の復帰に必要な内部情報を前記退避用記憶領域に退避する。前記マイクロコンピュータはパワーオンリセット処理において前記退避用記憶領域が保有する必要な内部情報の復帰を行う。スリープ状態から動作状態への遷移にかかる時間の短縮を図ることができる。

[0015] [2]別の表現形態によるカードデバイスは、外部から供給される外部電圧が高電圧であるときレギュレータで前記外部電圧を降圧して内部電圧を生成して内部回路に供給し、外部電圧が低電圧であるとき前記外部電圧をそのまま内部電圧として前記内部回路に供給し、一定期間コマンド入力がない場合には低消費電力状態に遷移する。このカードデバイスは、動作状態から低消費電力状態へ遷移する際に、レギュレータの動作を停止すると共に、内部回路の一部への電源供給を停止し、内部回路の他の部分へは外部電圧をそのまま内部電圧として供給する。

[0016] 本発明の代表的な一つの具体的な形態として、動作状態から低消費電力状態へ遷移する際に電源供給が停止される内部回路の一部にはスリープ状態にされるマイクロコンピュータを含む。前記内部回路の他の部分は退避用記憶領域を有し、前記マイクロコンピュータはスリープ状態に遷移するとき内部状態の復帰に必要な内部情報を前記退避用記憶領域に退避する。前記マイクロコンピュータはパワーオンリセット処理において前記退避用記憶領域が保有する必要な内部情報の復帰を行う。

発明の効果

[0017] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0018] すなわち、カードデバイスの低消費電力状態における消費電力を小さくすることができる。

図面の簡単な説明

- [0019] [図1]カードデバイスの一例であるメモリカードのブロック図である。
 [図2]レギュレータの構成を例示する回路図である。
 [図3]メモリカードのアクティブ状態からスタンバイ状態への遷移とスタンバイ状態からアクティブ状態への遷移を示す動作タイミング図である。
 [図4]メモリカードのアクティブ状態からスタンバイ状態への遷移とスタンバイ状態からアクティブ状態への遷移を示すフローチャートである。
 [図5]図4のフローチャートに従ったメモリカードの動作説明図である。

符号の説明

- [0020] 1 メモリカード
 2 ホスト
 3 フラッシュメモリ
 4 コントローラ
 5 レギュレータ
 6 起動回路
 7 ロジック部
 8 マイクロコンピュータ
 9 退避レジスタ
 10 コマンドレジスタ
 STBREQ スタンバイ要求信号
 CSTB スタンバイ信号
 CLK クロック
 CMD コマンド
 DAT データ
 20 PNPトランジスタ
 21 オペアンプ
 22 基準電圧発生回路
 23 セクタ

24 セレクタ

25 電圧検出回路

発明を実施するための最良の形態

- [0021] 図1にはカードデバイスの一例としてメモリカードが示される。同図に示されるメモリカード(MCRD)1は、ホスト(HST)2からのデータを格納する不揮発性メモリ例えばフラッシュメモリ(FLSH)3と、コントローラ(CTRL)4とから構成される。前記フラッシュメモリ3は閾値電圧の相違によって情報記憶を行う多数の不揮発性メモリランジスタを有し、例えば不揮発性メモリランジスタの電荷蓄積領域に選択的に電子を注入することによって閾値電圧を高くする書き込みと、電荷蓄積領域から選択的に電子を放出方向に移動させることによって閾値電圧を低くする消去を電氣的に行うことが可能にされる。前記コントローラ4はホスト2とのインタフェース制御、フラッシュメモリ3に対するハードディスク互換のファイルメモリ制御、メモリカード1の動作モード制御などを行う。
- [0022] 前記コントローラ4はレギュレータ(RGL)5、起動回路(STR)6及びロジック部(LOG)7を有する。ここでは起動回路(STR)6が第1の内部回路、ロジック部(LOG)7が第2の内部回路とされる。
- [0023] 前記レギュレータ5は、スイッチングレギュレータであってもシリーズレギュレータであっても良い。スイッチングレギュレータは容量成分とリアクタンス成分とを有する必要があることから回路規模が比較的大きくなるが、電圧生成効率が比較的高い。一方シリーズレギュレータは半導体素子のみからなることから回路規模が比較的小さいが、電圧生成効率が比較的低い。特にシリーズレギュレータでは内部でのリーク電流が比較的大きいことから、スタンバイ動作時等の出力電力の消費が小さい状態においては内部のリーク電流がレギュレータで消費する電流について支配的となる。
- [0024] 前記インタフェース制御とモード制御は起動回路6及びロジック部7で行い、フラッシュメモリ2に対するハードディスク互換のファイルメモリ制御はロジック部7で行う。ロジック部7はコントローラ4全体の制御を司るマイクロコンピュータ(MCU)8と図示を省略するロジック回路を有する。起動回路6は退避レジスタ(REG)9、コマンドデコーダ(CDEC)10、及び図示を省略するロジック回路を有する。起動回路6はホスト2か

らクロックCLKとコマンドCMDを入力し、ホスト2との間でデータDATの入出力を行う。起動回路6はホスト2から供給されたコマンドの有無をコマンドデコーダ10で検出する。起動回路6は、メモ리카ード1の動作モードに応じて所定のタイミングでコマンドをロジック部7に渡し、クロックCLKをロジック部7に出力し、また、ロジック部7との間でデータの受け渡しを行う。

- [0025] レギュレータ5は前記外部電圧VCCが高電圧(例えば3.3V)であるときこれを降圧して生成した1.8Vの内部電圧をロジック部7に供給し、前記外部電圧VCCが低電圧(例えば1.8V)であるときは前記外部電圧をそのまま内部電圧として前記ロジック部7に供給する。前記起動回路6には外部電圧VCCが動作電源として供給される。したがって起動回路6は3.3Vの耐圧電圧を備えたトランジスタによって構成され、ロジック部7が1.8Vの耐圧電圧を有するトランジスタによって構成されるのとは相違する。
- [0026] 前記ロジック部7はホスト2からのコマンドを処理する。コマンドの処理を完了すると、新たなコマンド入力を待つ。コマンドデコーダ10は一定期間コマンド入力がない場合を検出すると、コマンドによってマイクロコンピュータ8にスリープモードを指示する。これによってマイクロコンピュータ8と共にロジック部7はスリープモードに遷移するための処理を行なう。このスリープモードに遷移するための処理の一つとして、マイクロコンピュータ8の内部状態若しくはロジック部のその他の内部状態をレジスタ9に退避する退避動作を行う。退避された内部状態はスリープ状態から動作状態(アクティブ状態)に復帰するとき利用される。このスリープモードに遷移するための処理を完了すると、ロジック部7は起動回路6に信号STBREQにてスタンバイ要求を出す。これによって起動回路6は、スタンバイ信号CSTBをレギュレータ5及びロジック部7にアサートする。これによってレギュレータ5は、動作を停止すると共に、前記ロジック部7に対する内部電圧の供給を抑止し、メモ리카ード1のスタンバイ状態が達成される。
- [0027] 特に制限されないが、フラッシュメモリ3の動作電源は3.3Vである。外部電圧VCCが3.3Vのときはそのまま、1.8Vのときは内蔵チャージポンプ回路で昇圧を行うようになっている。マイクロコンピュータ8が前記スリープ状態に入るときにはフラッシュメモリ3がスタンバイ状態になっていることを確認する。フラッシュメモリ3のスタンバイ状

態では内蔵チャージポンプ回路は動作停止、或いはチャージポンプ動作周波数の低下が行われており、いずれにしてもフラッシュメモリ3においても低消費電力が考慮されている。

- [0028] スタンバイ状態において起動回路6は依然として動作可能にされており、コマンドCMDの供給、又はクロックCLKに同期したコマンドCMDの供給を検出すると、レギュレータ5及びロジック部7へのスタンバイ信号CSTBをネゲートする。これによってレギュレータ5が動作され、ロジック部7には内部電圧の供給が再開される。マイクロコンピュータ8は内部電圧の供給を検出してパワーオンリセット処理を開始する。マイクロコンピュータ8のパワーオンリセット処理では前記レジスタ9に有意の退避データが記憶されている場合にはその退避データをマイクロコンピュータ8若しくはロジック部7に内部状態データとして復帰させる。ロジック部7のマイクロコンピュータ8及びその他の回路部分における初期化处理が完了するとメモリカード1はアクティブ状態になる。アクティブ状態になると起動回路6はアクティブ状態への遷移直前に供給されたコマンドをロジック部7に供給し、ロジック部7によるコマンド処理を再開可能にする。

- [0029] 図2にはレギュレータ5の構成の例示としてシ리즈レギュレータの構成を示す。レギュレータ5は、PNPトランジスタ20、オペアンプ21、基準電圧発生回路(VRFG)22、セレクトア(SELa)23、セレクトア(SELb)24及び電圧検出回路(VDTC)25を有する。

- [0030] 前記電圧検出回路25は外部電圧VCCが3.3Vのような高電圧か、1.8Vのような低電圧化かを判定し、判定信号DCSを出力する。前記PNPトランジスタ20のエミッタには外部電圧VCCが供給され、コレクタから内部電圧Voutが出力される。PNPトランジスタ20のコレクタはオペアンプ21の反転入力端子(−)に接続され、その非反転入力端子(+)には基準電圧Vrefが印加される。基準電圧Vrefは基準電圧発生回路22で生成される。特に制限されないが、基準電圧発生回路22は、pチャンネル型MOSTランジスタとnチャンネル型MOSTランジスタとの閾値電圧差に基づいて生成される。基準電圧Vrefは例えば1.8Vとされる。セレクトア23は判定信号DCSに従ってオペアンプ21の出力又は回路の接地電圧GND(若しくはコモン電位)を選択して出力する。この回路の接地電位GND若しくはコモン電位とは、メモリカードとホスト

とが接続されるグラウンド電圧供給端子 (Supply voltage ground) に接続される電位である。判定信号DCSが高電圧入力を意味するときはオペアンプ21の出力を選択し、低電圧を意味するときは接地電圧GNDを選択する。オペアンプ21の出力がセクタ24を介してPNPトランジスタ20のベースに接続されることにより、PNPトランジスタ20のコンダクタンスが負帰還制御され、外部電圧VCCに対する降圧動作が行われ、1.8Vに降圧された内部電圧Voutが形成される。一方、接地電圧GNDがセクタ24を介してPNPトランジスタ20のベースに接続されることにより、PNPトランジスタ20による降圧動作は行われず、1.8Vの外部電圧VCCがそのまま内部電圧Voutとして出力される。セクタ24はスタンバイ信号CSTBに従ってセクタ23の出力又は外部電圧VCCを出力する。スタンバイ信号CSTBのネゲートによりアクティブモードが指示されるときセクタ24は前段セクタ23の出力を選択し、前述の如く検出信号DCSに応じて降圧動作が制御される。一方、スタンバイ信号CSTBのアサートによりスタンバイモードが指示されるときセクタ24は外部電源VCCを選択し、これによってPNPトランジスタ20がカットオフされ、ロジック部7への内部電圧Voutの供給が抑止される。これによって、ロジック部7は電源供給が遮断され、一切の動作が停止される。更に前記電圧検出回路25及び基準電圧発生回路22は、スタンバイ信号CSTBのアサートによりスタンバイモードが指示され、その動作を停止する。これによってレギュレータ5の動作も停止され、スタンバイ状態においてレギュレータ5による電力消費もない。

[0031] 図3にはメモ리카ードのアクティブ状態からスタンバイ状態への遷移とスタンバイ状態からアクティブ状態への遷移を示す動作タイミングが示される。

[0032] 前記ロジック部7はホスト2からのコマンドを処理する。コマンドの処理を完了すると(t0)、新たなコマンド入力を待つ。ロジック部7はマイクロコンピュータ8がコマンド処理完了しコマンドデコーダ10が一定期間コマンド入力がない場合を検出すると、信号SLPによってマイクロコンピュータ8にスリープモードを指示する(t1)。これによってマイクロコンピュータ8と共にロジック部7はスリープモードに遷移するための処理を行なう。このスリープモードに遷移するための処理の一つとして、マイクロコンピュータ8の内部状態若しくはロジック部のその他の内部状態をレジスタ9に退避する退避動作を

行う。このスリープモードに遷移するための処理を完了すると、ロジック部7は起動回路6に信号STBREQにてスタンバイ要求を出す(t2)。これによって起動回路6は、スタンバイ信号CSTBをレギュレータ5及びロジック部7にアサートする(t3)。これによってレギュレータ5は、動作を停止すると共に、前記ロジック部7に対する内部電圧の供給を抑止し、メモ리카ード1のスタンバイ状態が達成される。スタンバイ状態において起動回路6は依然として動作可能にされており、クロックCLKに同期したコマンドCMDの供給を検出すると、レギュレータ5及びロジック部7へのスタンバイ信号CSTBをネゲートする(t4)。これによってレギュレータ5が動作され、ロジック部7には内部電圧の供給が再開される。マイクロコンピュータ8は内部電圧の供給を検出してパワーオンリセット処理を開始する。マイクロコンピュータ8のパワーオンリセット処理では前記レジスタ9に有意の退避データが記憶されている場合にはその退避データをマイクロコンピュータ8若しくはロジック部7に内部状態データとして復帰させる。ロジック部7のマイクロコンピュータ8及びその他の回路部分における初期化処理が完了するとメモ리카ード1はアクティブ状態になり、信号STBREQがネゲートされる(t5)。アクティブ状態になると起動回路6はアクティブ状態への遷移直前に供給されたコマンドをロジック部7に供給し、ロジック部7によるコマンド処理が再開可能になる。

[0033] 図4にはメモ리카ードのアクティブ状態からスタンバイ状態への遷移とスタンバイ状態からアクティブ状態への遷移を示すフローチャートが示される。図5には図4のフローチャートに従ったメモ리카ードの動作が示される。

[0034] 前記ロジック部7はホスト2からコマンド入力があると(CMD-IN)、そのコマンド処理を開始する(CMD-PRC)。そのコマンド処理の完了を待って(CMD-FNS)、コマンドデコーダ10が一定期間コマンド入力がない場合を検出すると、ロジック部7はマイクロコンピュータ8にスリープモードを指示する。これによってマイクロコンピュータ8と共にロジック部7はスリープモードに遷移するための処理を行なう。このスリープモードに遷移するための処理を完了すると、ロジック部7は起動回路6に信号STBREQにてスタンバイ要求を出す(STR-REQ)。これによって起動回路6は、スタンバイ信号CSTBをレギュレータ5及びロジック部7にアサートする(STB-AST)。これによってレギュレータ5の動作が停止されると共に(REG-STOP)、前記ロジック部7に

対する内部電圧の供給を抑止されてその動作が停止され(LOG-STOP)、メモリカード1のスタンバイ状態が達成される。スタンバイ状態において起動回路6は依然として動作可能にされており、クロックCLKに同期したコマンドCMDの供給を検出すると(CMD-DTC)、レギュレータ5及びロジック部7へのスタンバイ信号CSTBをネゲートする(STB-NGT)。このとき、起動回路6はレギュレータ5とロジック部7との起動完了の前に、コマンドCMDに対するレスポンスをホストに送信しておいても良い。これによってレギュレータ5が動作され(REG-STR)、ロジック部7の動作が起動され(LOG-STR)、コマンド処理(CMD-PRC)が可能にされる。

- [0035] 以上説明したメモリカードによれば以下の作用効果を得る。
- [0036] [1]メモリカード1はスタンバイ状態に遷移するとき、前記レギュレータ5の動作を停止すると共に、前記ロジック部7に対する内部電圧の供給を抑止する。従って、スタンバイ状態においてメモリカード1のレギュレータ5とロジック部7における電力消費を抑制することができる。
- [0037] [2]起動回路6は退避用記憶領域としてのレジスタ9を有し、前記マイクロコンピュータ8はスリープ状態に遷移するとき内部状態の復帰に必要な内部情報を前記レジスタ9に退避するから、スタンバイ状態が解除されるときマイクロコンピュータ8はパワーオンリセット処理において前記レジスタ9が保有する内部情報を用いてスタンバイ直前の内部状態を復帰することができる。したがって、スリープ状態から動作状態への遷移にかかる時間を短縮することができる。
- [0038] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。
- [0039] 例えば、レギュレータの構成は図2に限定されず適宜変更可能である。外部電圧は3.3Vに限定されず、降圧電圧は1.8Vに限定されず、適宜変更可能である。
- [0040] またメモリカード1は一定時間外部からのコマンド入力がないことを検出してマイクロコンピュータ8にスリープモードを指示したが、外部からのスリープ状態に遷移すべきことを指示するコマンドに応じてロジック部7はマイクロコンピュータ8にスリープモードを指示した起動回路6に信号STBREQにてスタンバイ要求を出しても良い。

- [0041] また本発明はメモ리카ードのコントローラにのみ適用できるものではなく、フラッシュメモリについても適用可能である。コントローラはホストからのコマンドが一定期間ないことを検出して低消費電力状態へ遷移したが、フラッシュメモリについてはコントローラからのアクセスが一定期間ないことを検出して低消費電力状態へ遷移し、フラッシュメモリ内部のレギュレータやチャージポンプ等の動作を停止すればよい。

産業上の利用可能性

- [0042] 本発明は、フラッシュメモ리카ード等のメモ리카ードに限定されず、ICカード用マイクロコンピュータが搭載されたICカード、ICカード用マイクロコンピュータとメモ리카ード用コントローラ及び不揮発性メモリを搭載したマルチファンクションカードなどに広く適用することができる。

請求の範囲

- [1] 動作状態として通常動作状態と低消費電力状態とを有し、一定期間コマンド入力がない場合には通常動作状態から低消費電力状態に遷移するカードデバイスであって、
レギュレータ、第1の内部回路及び第2の内部回路を有し、
前記レギュレータは前記外部電圧が高電圧であるときこれを降圧して生成した内部電圧を前記第2の内部回路に供給し、前記外部電圧が低電圧であるときは前記外部電圧をそのまま内部電圧として前記第2の内部回路に供給し、
第1の内部回路には外部電圧が動作電源として供給され、前記低消費電力状態に遷移した後であっても動作電源としての外部電圧の供給は継続され、

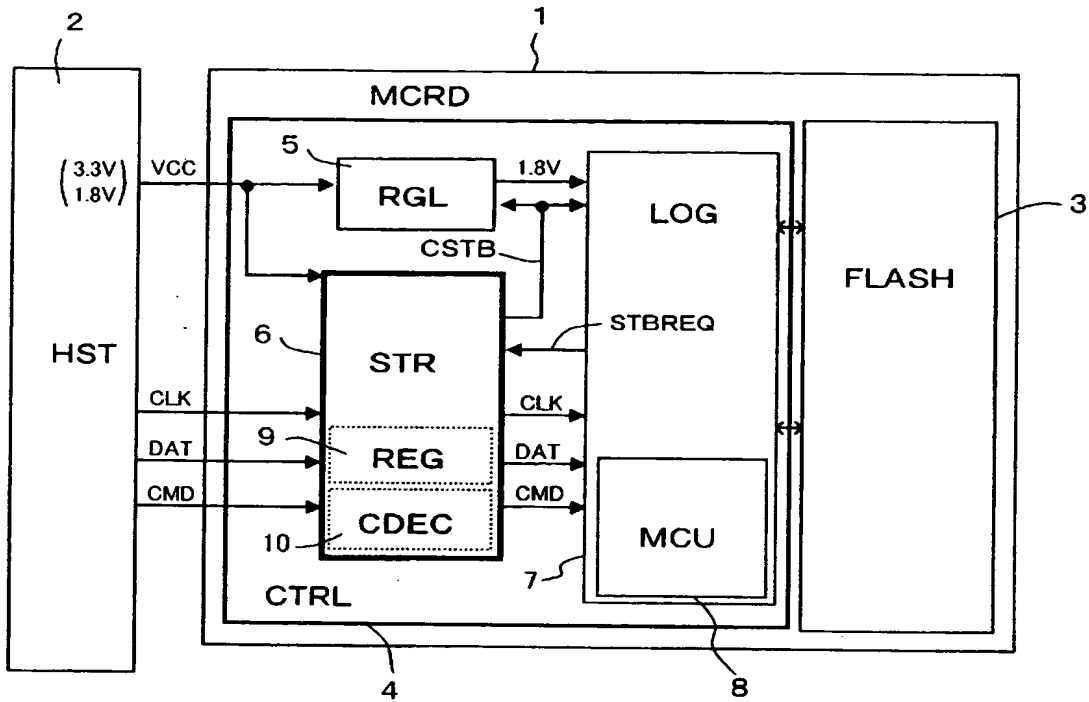
カードデバイスの動作状態が前記低消費電力状態に遷移するとき、前記レギュレータの動作を停止すると共に、前記第2の内部回路への前記レギュレータが供給する内部電圧の供給を抑止するカードデバイス。
- [2] 低消費電力状態から動作状態に復帰するとき前記第1の内部回路は前記レギュレータの動作を再開させて前記第2の内部回路に対する内部電圧の供給を可能にする請求項1記載のカードデバイス。
- [3] 前記レギュレータは、外部電圧が高電圧であるか否かを判定する電圧検出回路と、前記外部電圧を降圧するとき利用する基準電圧を生成する基準電圧生成回路とを有し、
前記低消費電力状態に遷移する際の前記レギュレータの動作停止は、前記電圧検出回路と基準電圧生成回路の動作停止とされる請求項2記載のカードデバイス。
- [4] 前記第2の内部回路はマイクロコンピュータを有し、前記低消費電力状態への遷移は前記マイクロコンピュータのスリープ状態への遷移をトリガとする請求項1記載のカードデバイス。
- [5] 低消費電力状態において前記第1の内部回路はコマンド入力に応答して前記レギュレータを動作させて前記第2の内部回路への内部電圧の供給を再開させる請求項4記載のカードデバイス。

- [6] 前記マイクロコンピュータはスリープ状態において動作電源の供給を検出することによりパワーオンリセット処理を行なう請求項5記載のカードデバイス。
- [7] 前記第1の内部回路は退避用記憶領域を有し、前記マイクロコンピュータはスリープ状態に遷移するとき内部状態の復帰に必要な内部情報を前記退避用記憶領域に退避する請求項6記載のカードデバイス。
- [8] 前記マイクロコンピュータはパワーオンリセット処理において前記退避用記憶領域が保有する必要な内部情報の復帰を行う請求項7記載のカードデバイス。
- [9] 動作状態として通常動作状態と低消費電力状態とを有し、一定時間コマンド入力がない場合には通常動作状態から低消費電力状態に遷移するカードデバイスであって、
外部から供給される外部電圧が高電圧であるときレギュレータで前記外部電圧を降圧して内部電圧を生成して内部回路に供給し、外部電圧が低電圧であるとき前記外部電圧をそのまま内部電圧として前記内部回路に供給し、
動作状態から低消費電力状態へ遷移する際に、レギュレータの動作を停止すると共に、内部回路の一部への電源供給を停止し、内部回路の他の部分へは外部電圧をそのまま内部電圧として供給するカードデバイス。
- [10] 前記通常動作状態から前記低消費電力状態へ遷移する際に電源供給が停止される内部回路の一部にはスリープ状態にされるマイクロコンピュータを含む請求項9記載のカードデバイス。
- [11] 前記内部回路の他の部分は退避用記憶領域を有し、前記マイクロコンピュータはスリープ状態に遷移するとき内部状態の復帰に必要な内部情報を前記退避用記憶領域に退避する請求項10記載のカードデバイス。
- [12] 前記マイクロコンピュータはパワーオンリセット処理において前記退避用記憶領域が保有する必要な内部情報の復帰を行う請求項11記載のカードデバイス。

要 約 書

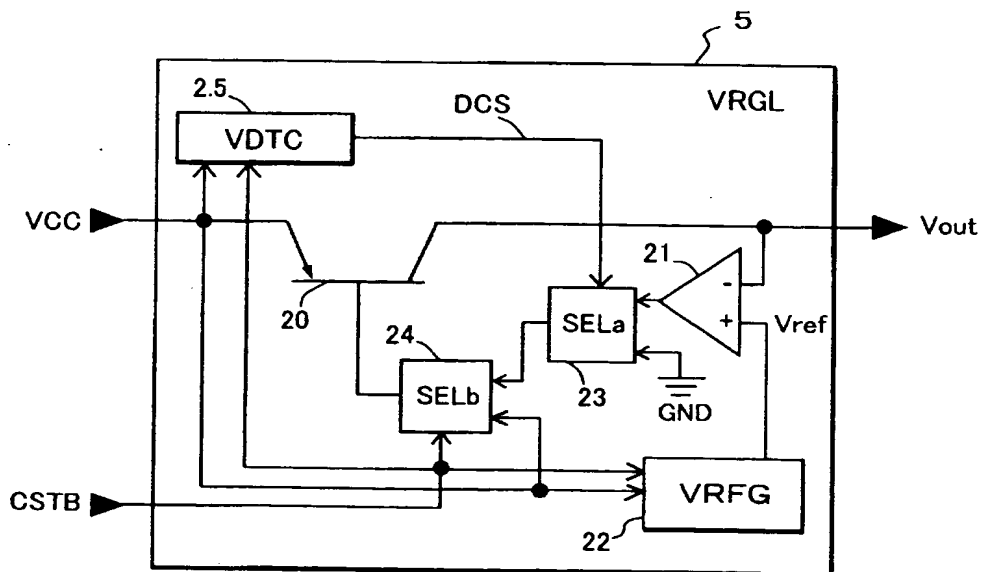
カードデバイスは、レギュレータ(5)、第1の内部回路(6)及び第2の内部回路(7)を有し、前記レギュレータは前記外部電圧(VCC)が高電圧であるときこれを降圧して生成した内部電圧を前記第2の内部回路に供給し、前記外部電圧が低電圧であるときは前記外部電圧をそのまま内部電圧として前記第2の内部回路に供給し、第1の内部回路には外部電圧が動作電源として供給され、一定期間コマンド入力がない場合には低消費電力状態に遷移する。カードデバイスは、前記低消費電力状態に遷移するとき、前記レギュレータの動作を停止すると共に、前記第2の内部回路に対する内部電圧の供給を抑止する。これにより、低消費電力状態においてカードデバイスのレギュレータと第2の内部回路における電力消費を抑制することができる。

图 1



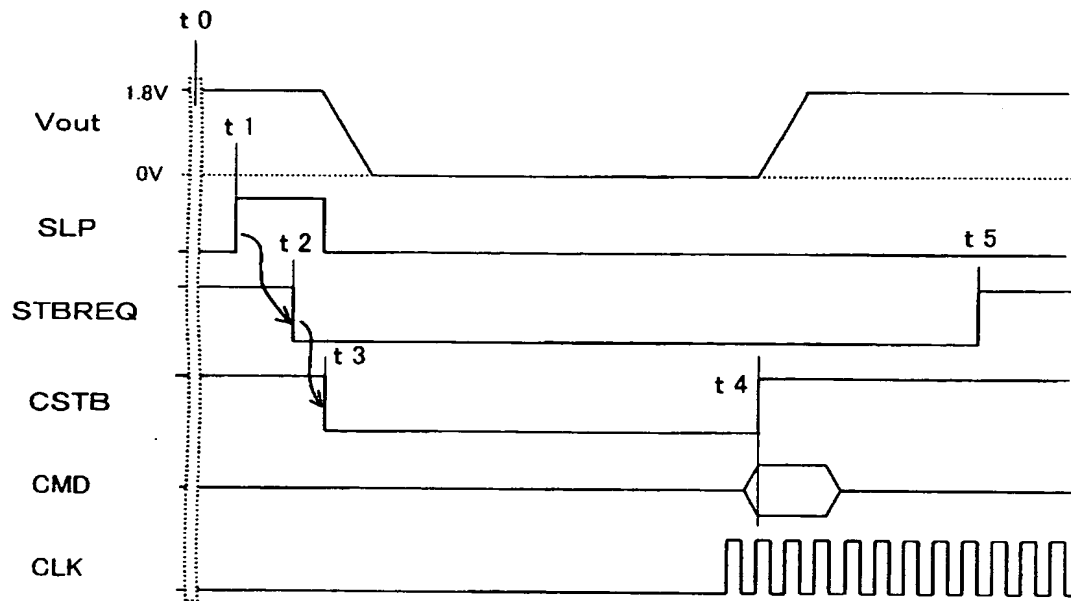
[圖2]

图 2



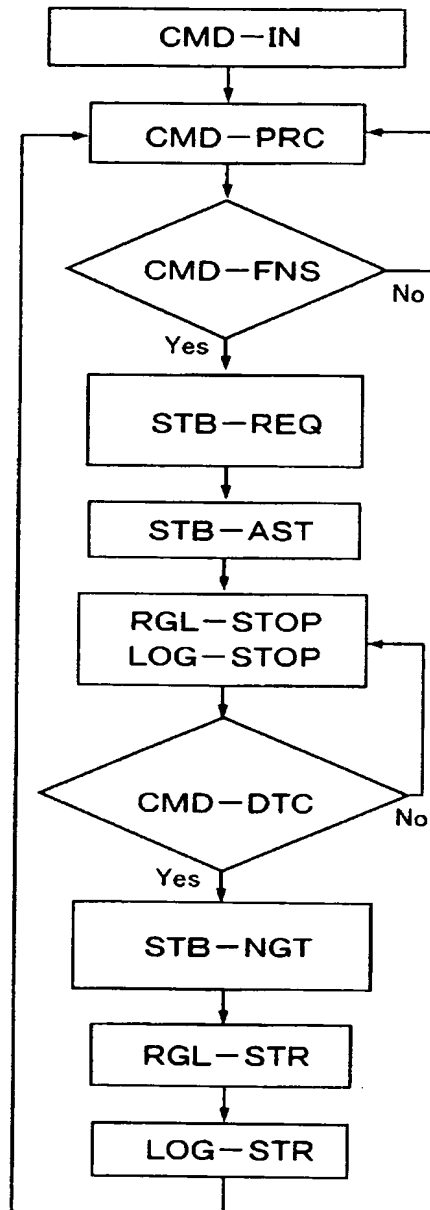
[図3]

図3



[図4]

図4



[図5]

図5

